### Domande di Valerio Scremate

1. Illustrare la struttura di un bistabile master-slave di tipo D come quello esaminato a lezione e spiegarne il funzionamento.

2. Illustrare la struttura di un componente programmabile sequenziale scelto a piacere tra quelli presentati a lezione.

3. Nella pipeline MIPS trattata a lezione si possono avere dei control hazard\*/\*conflitti di controllo?

- Quando si manifestano?

- A che caratteristica strutturale della pipeline sono dovuti?

- Come è possibile rivelarli in modo hardware nella pipeline?

- Quali sono le possibili soluzioni ai conflitti di controllo?

- Si consideri in particolare il caso dei salti condizionati (Ex. una BEQ).

- Si confrontino vantaggi e svantaggi delle soluzioni hardware (azioni nella pipeline) e delle soluzioni software (azioni del compilatore).

4. Si consideri una pipeline a 5 stadi (fetch, decode, eventuale lettura operandi da registri o memoria, eventuale calcolo, scrittura del Program Counter e dell’eventuale risultato in registro o memoria). Presentare il problema dei conflitti tra istruzioni che possono costringere allo stallo la CPU:

- per via della dipendenza dei dati (solo caso da trattare: lettura dopo scrittura)

- per via del controllo (conflitto di controllo, solo caso da trattare: salto condizionato)

Discutere poi come sia possibile affrontare questi problemi da parte del compilatore (staticamente, alla compilazione) e da parte dello hardware (dinamicamente, durante l’esecuzione). Commentare i pregi e i difetti di questi due approcci.

5. Illustrare i principi di località con riferimento alle cache e descrivere il funzionamento della cache a indirizzamento diretto.

6. Si consideri una cache a indirizzamento diretto (direct mapped) con blocchi di otto parole di memoria. Illustrare la struttura hardware usata dal controllore della cache per identificare hit o miss durante un ciclo di bus di lettura generato dalla CPU.

Nel caso di miss in questo ciclo di lettura, discutere le azioni che devono essere svolte dal controllore della cache (attenzione: si ipotizzi che la cache tratti i cicli di bus di scrittura con la politica di write back).

7. Nel caso di cache unica, confrontare l’architettura di una cache “direct mapped” con l’architettura di una cache completamente associativa, e discutere motivandoli i vantaggi e gli svantaggi di una architettura rispetto all’altra.

8. Discutere i possibili tipi di funzionamento delle cache durante un ciclo di scrittura in memoria da parte della CPU. Ulteriore discussione: trattare un tipo di politica di sostituzione di un blocco di cache, illustrando quali sono le strutture che è necessario introdurre nello hardware della cache per la realizzazione di questa politica.

9. Si consideri una cache istruzioni “direct mapped” per una memoria indirizzata a parole, con parole da 32 bit.

Disegnare la struttura della cache, col livello di dettaglio visto a lezione e nelle slide del corso. Si deve mostrare come i bit di indirizzo, che arrivano dalla CPU, vengono usati per identificare la parola nel blocco, la posizione del blocco in cache, l’etichetta, hit o miss. Commentare il funzionamento della struttura.

Si confrontino poi vantaggi e svantaggi di questa cache rispetto a una cache istruzioni “set associativa a due vie”.

10. Si consideri una cache istruzioni “set-associativa a due vie” per una memoria indirizzata al byte (come per il MIPS esaminato nelle lezioni), con parole da 32 bit. Si tratti per semplicità una struttura con blocchi da due parole, e 4 blocchi per via (8 blocchi in totale nella cache).

Disegnare la struttura della cache, col livello di dettaglio visto nelle slide del corso. Si deve mostrare come i bit di indirizzo, che arrivano dalla CPU, vengono usati per identificare la parola nel blocco, la possibile posizione del blocco in cache, l’etichetta, lo hit o il miss.

Commentare il funzionamento della struttura.

11. Si consideri una cache istruzioni a due vie, con 128 blocchi per ogni via, e blocchi da 16 parole, con parole da 32 bit e si tengano presenti le proprietà di località temporale e località spaziale del fetch delle istruzioni. Quali vantaggi fornisce la struttura a due vie, rispetto a quella a una via sola con 256 blocchi? E quali svantaggi? (si noti che è una cache istruzioni, non una cache dati). Se i blocchi fossero da 32 parole, ma la dimensione totale della cache non cambiasse (quindi 64 blocchi per via, a due vie) cosa migliorerebbe e cosa peggiorerebbe nelle prestazioni della cache?

12. Si consideri la struttura di una cache a 4 vie con 8 blocchi per via. Si ipotizzi che la memoria sia indirizzata a parole di 32 bit e ogni blocco contenga 16 parole. La CPU generi indirizzi per una memoria di 4 M parole. Come vengono usati nella cache i bit di indirizzo uscenti dalla CPU?

13. Considerando una generica cache, si ipotizzi una cache miss in scrittura. Cosa succede, in dettaglio, con un politica di write through? Cosa succederebbe di diverso se la politica fosse di write back?

14. Quali sono i vantaggi della memoria virtuale? Le istruzioni macchina della CPU vedono e lavorano sulla memoria virtuale o su quella reale? Come avviene la traduzione da indirizzo virtuale a indirizzo reale?

15. Paginazione e Segmentazione: giustificare la loro adozione e discuterne le differenze. Ulteriore discussione: nel caso della paginazione cosa deve essere presente nello hardware e nel sistema operativo?

16. Nel caso di una MMU (memory management unit) contenente TLB(Translation Lookaside Buffer) si discutano i problemi di “TLB miss” e di “page fault”.

17. Nel caso della memoria virtuale paginata ma non segmentata, descrivere il principio di funzionamento del meccanismo di traduzione degli indirizzi generati dalla CPU. Poi, discutere i vantaggi che si ottengono per la programmazione.

18. In un calcolatore dotato di cache e memoria virtuale si illustrino gli step che esegue l’hardware per servire una richiesta di accesso a memoria da parte del processore.

19. La gestione a interruzione dell’ingresso/uscita. Discuterne il funzionamento, chiarendo bene quali azioni sono effettuate dai circuiti e quali dai programmi di gestione. Commentare l’applicabilità nel caso di più periferiche interrompenti, mostrando i circuiti che è necessario avere nel sistema.

20. La gestione in DMA dell’ingresso/uscita. Discuterne il funzionamento e chiarire cosa deve essere presente nello hardware per questo tipo di gestione (anche in presenza di più periferiche gestite in DMA).

21. Illustrare la struttura hardware di una porta di ingresso e spiegare il suo funzionamento (immaginando il caso del controllo a programma: ma NON si discutano i concetti del controllo a programma).

22. Si disegni la struttura di una porta di uscita (a livello di registri, blocchi combinatori, bus indirizzi-dati-controllo, eccetera) e si illustri il suo funzionamento:

- Quali segnali la attivano? In che modo?

- Con che sequenza nel tempo?

Si commenti anche la possibilità di dotarla dei circuiti logici che servono per un corretto passaggio dei dati in uscita senza duplicazioni e senza perdite.

23. A livello della microarchitettura, come è costituita una porta d’uscita e come si interfaccia al bus (bus dati, bus indirizzi, bus controllo)?

Come partecipa a un ciclo di bus (quello di uscita che la riguarda)? Ossia, come funziona?

Se il passaggio del dato deve avvenire senza duplicazione e senza perdita cosa deve contenere il circuito posto tra la porta e l’interfaccia di periferica?

Aiutarsi nella risposta ricorrendo anche al disegno di schemi.

24. Quali sono i principali vantaggi di un set d'istruzioni RISC come quello di MIPS rispetto a un set d'istruzioni CISC come quello di IA32 Intel?

25. Si consideri la rappresentazione dei numeri in complemento a 2 (per semplicità usando solo 3 bit). Elencare tutti i numeri interi con segno rappresentabili con i tre bit, assieme alla loro codifica CPL 2. Si mostri poi la somma di due di questi numeri, scegliendo:

- un caso in cui la somma causa overflow,

- un caso in cui la somma non causa overflow.

Disegnare una rete combinatoria in grado di segnalare l’overflow.

26. Si consideri un circuito FULL ADDER: riceve in ingresso i due bit da sommare e il bit di riport￼o in ingresso, e genera il bit di somma e il riporto in uscita. Disegnare la struttura del circuito usando porte logiche elementari.

27. Si consideri un sistema di memoria indirizzato a livello di parola così costituito: mem. centrale + cache istruzioni + cache dati; il sistema è caratterizzato dalle dimensioni seguenti:

- memoria centrale da 4 M parole

- memoria cache istruzioni da 4 K parole in totale, set-associativa a quattro vie ogni blocco di cache istruzioni contiene 256 parole  (1/4 K parole)

- memoria cache dati da 4 K parole completamente associativa  (fully associative) ogni blocco di cache dati contiene 512 parole  (1/2 K parole)

Si noti che le due cache usano blocchi di dimensioni differenti. Si indichi la struttura degli indirizzi per la memoria della cache istruzioni e per quella della cache dati (quali sono i bit di TAG, quali i bit usati per l’indirizzamento dei blocchi in cache e quali sono usati per la scelta della parola nel blocco)